



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application:

RESPONSE UNDER RULE 116
EXPEDITED HANDLING
PROCEDURES

SASAKI

Atty. Ref.: 1035-243

Serial No.: 09/487,259

Group: 2814

Filed: January 19, 2000

Examiner: A. Mai

For: METHOD FOR MANUFACTURING A SEMICONDUCTOR
DEVICE USING CHEMICAL ETCHING

October 30, 2002

Assistant Commissioner for Patents
Washington, D.C. 20231

REQUEST FOR RECONSIDERATION

Sir:

This paper is responsive to the office action dated July 30, 2002, and is filed prior to the expiration of the three (3) month shortened statutory period for response set by the Examiner.

Reconsideration and allowance of the subject patent application are respectfully requested.

Claims 1, 3-5, 9, 13 and 14 were rejected under 35 U.S.C. Section 103(a) as allegedly being unpatentable over Mutsumi *et al.* (JP 63-117445A).

As explained in the prior response, in Mutsumi *et al.* wax gets into the grooves between the chips thereby coating the cut faces with wax. In particular, Figure 2(d) of Mutsumi *et al.* illustrates that the wax gets into the grooves between the chips and Figure 2(f) shows adjacent chips adhered together by the wax in a post-etching step. When wax

gets into the grooves between the chips, the sides of the chips damaged by dicing cannot be etched by etchant, even if the etching process removes the residual portions. In contrast, the method of claim 1 calls for, among other things, the chemical etching to remove damaged areas in a cut face of the semiconductor wafer resulting from the semi-full dicing process.

In response to these arguments, the office action alleges that page 4 of the Mutsumi *et al.* translation clearly discloses "[U]pon dicer test, cracks occur from these irregularities, and these cracks are developed by the machining distortions. Therefore, the chips after the dicing process is (sic) immersed in an etchant so that the machining-affected layer is removed so as to form a smooth surface." However, the aforementioned sentences are from the translation of Goto (JP 07-161665) rather than from the translation of Mutsumi *et al.* Thus, the "smooth surface of the machine-effected layer" to which the office action refers is that of Goto, not Mutsumi *et al.* For the Examiner's convenient references, the translations of relevant passages of Goto and Mutsumi *et al.* are re-submitted herewith.

In summary, Applicant continues to believe that the process set forth in Mutsumi *et al.* results in wax on the sides of chips subjected to semi-full dicing as explained at page 9-10 of the specification of the subject application:

Moreover, in [Mutsumi *et al.*], chipping and cracks tend to occur due to breaking after washing, and since the cut face 107a, subjected to the semi-full dicing is coated with wax 117, it is not possible to carry out chemical etching on the cut face 107a after the dicing process, resulting in problems of fine cracks in the cut face, a machining-affected layer and chipping and cracking. In addition, in [Mutsumi *et al.*], a removing process for wax 117 is required, and the process after removal of the wax 117 has to be carried out on each piece of the semiconductor chips 107; therefore, a problem arises with working efficiency.

Thus, Mutsumi *et al.* does not teach or suggest that, *inter alia*, the damaged areas in a cut face of a semiconductor wafer resulting from a semi-full dicing process be removed by a chemical etching in which the residual portions are removed as claimed.

Accordingly, Applicant submits that claims 1, 3-5, 9, 13 and 14 are not obvious over Mutsumi *et al.*

Claim 2 was rejected under 35 U.S.C. Section 103(a) as allegedly being unpatentable over Mutsumi *et al.* in view of applicant admitted prior art (JP 07-022358) as to testing prior to semi-full dicing. However, testing prior to semi-full dicing does not remedy the above-identified deficiencies of Mutsumi *et al.* with respect to claim 1 (from which claim 2 depends). As such, Applicant submits that claim 2 is allowable.

Claims 10-13 and 15-19 rejected under 35 U.S.C. Section 103(a) as allegedly being unpatentable over Mutsumi *et al.* in view of applicant admitted prior art (JP 07-022358). JP 07-22358 discloses a process in which surface polishing is performed prior to a semi-full dicing process. JP 07-22358 also discloses that the rear face of a semiconductor wafer is affixed onto a dicing tape through a carrier frame. Among other things, JP 07-22358 does not remedy the above-identified deficiencies of JP 63-117445 with respect to claim 1 (from which claims 10-13 and 15-19 depend). As such, Applicant submits that claims 10-13 and 15-19 are allowable. In addition, JP 07-22358 fails to disclose features of at least some of claims 10-13 and 15-19. For example, claim 18 calls for the protective layer holding means to have a draining means for draining etchant. No such feature is shown in JP 07-22358 and the contention that such a feature is "inherent" is conclusory. Claim 19 calls for the draining means to be formed as grooves extending

SASAKI

Serial No.: 09/487,259

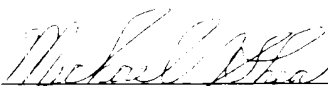
in a radial direction. This feature is not shown and the argument in the office action that this feature does not appear to be critical does not establish its obviousness.

Claims 10-13 and 15-17 were rejected under 35 U.S.C. Section 103(a) as allegedly being unpatentable over Mutsumi *et al.* in view of Usami *et al.* (U.S. Patent No. 5,893,746). Usami *et al.* discloses a method of forming a semiconductor device in which a thin semiconductor wafer 105 is placed on a tape 107 held with a frame 101. This semiconductor wafer 105 is completely cut off by means of dicing grooves 104 and separated into a plurality of chips 105'. The separated chips 105' are pushed upwardly from the back side of tape 107 by means of a heating head 106 and is urged against a substrate 102 on which an adhesive 103 has been preliminarily applied, thereby causing the chip to be thermally bonded to the substrate 102. Among other things, Usami *et al.* does not remedy the above-identified deficiencies of Mutsumi *et al.* with respect to claim 1 (from which claims 10-13 and 15-17 depend). As such, Applicant submits that claims 10-13 and 15-17 are allowable.

The pending claims are believed to be in condition for allowance and early notification to that effect is respectfully requested.

Respectfully submitted,

NIXON & VANDERHYE P.C.

By: 

Michael J. Shea

Registration No. 34,725

1100 North Glebe Road, 8th Floor
Arlington, Virginia 22201-4744
Telephone: (703) 816-4000
Facsimile: (703) 816-4100

MJS:led

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RESPONSE UNDER RULE 116
EXPEDITED HANDLING PROCEDURES

In re Patent Application of

SASAKI

Serial No. 09/487,259

Filed: January 19, 2000

Title: MANUFACTURING METHOD FOR A SEMICONDUCTOR DEVICE



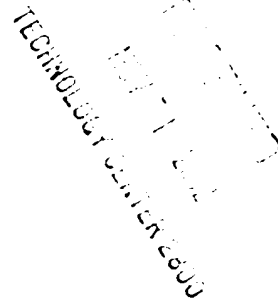
Atty Dkt. 1035-243

C#/M#

Group Art Unit: 2814

Examiner: A. Mai

Date: October 30, 2002

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

REQUEST FOR RECONSIDERATION

This is a response/amendment/letter in the above-identified application and includes an attachment which is hereby incorporated by reference and the signature below serves as the signature to the attachment in the absence of any other signature thereon.

Fees are attached as calculated below:

Total effective claims after amendment 42 minus highest number
Previously paid for 42 (at least 20) = 0 x \$ 18.00 \$ 0.00

Independent claims after amendment 5 minus highest number
Previously paid for 5 (at least 3) = 0 x \$ 84.00 \$ 0.00

If proper multiple dependent claims now added for first time, add \$280.00 (ignore improper) \$ 0.00

Petition is hereby made to extend the current due date so as to cover the filing date of this
Paper and attachment(s) (\$110.00/1 month; \$400.00/2 months; \$920.00/3 months) \$ 0.00

Terminal disclaimer enclosed, add \$ 110.00 \$ 0.00

☐ First/second submission after Final Rejection pursuant to 37 CFR 1.129(a) (\$740.00) \$ 0.00

☐ Please enter the previously unentered, filed

☐ Submission attached

SUBTOTAL \$ 0.00

If "small entity," then enter half (1/2) of subtotal and subtract -\$ 0.00

☐ Applicant claims "small entity" status. ☐ Statement filed herewith

Rule 56 Information Disclosure Statement Filing Fee (\$180.00) \$ 0.00

Assignment Recording Fee (\$40.00) \$ 0.00

Other: 0.00

TOTAL FEE ENCLOSED \$ 0.00

The Commissioner is hereby authorized to charge any deficiency, or credit any overpayment, in the fee(s) filed, or asserted to be filed, or which should have been filed herewith (or with any paper hereafter filed in this application by this firm) to our Account No. 14-1140. A duplicate copy of this sheet is attached.

1100 North Glebe Road, 8th Floor

Arlington, Virginia 22201-4714

Telephone: (703) 816-4000

Facsimile: (703) 816-4100

MJS:led

NIXON & VANDERHYE P.C.

By Atty.: Michael J. Shea, Reg. No. 34,725

Signature: Michael J. Shea



PATENT ABSTRACTS OF JAPAN

(11) Publication number **63117445 A**(43) Date of publication of application: **21.05.88**

(51) Int. Cl.

H01L 21/78**H01L 21/304****H01L 21/306**(21) Application number: **61263573**(71) Applicant: **CITIZEN WATCH CO LTD**(22) Date of filing: **05.11.86**(72) Inventor: **NAGANO MUTSUMI
SATO TETSUO**

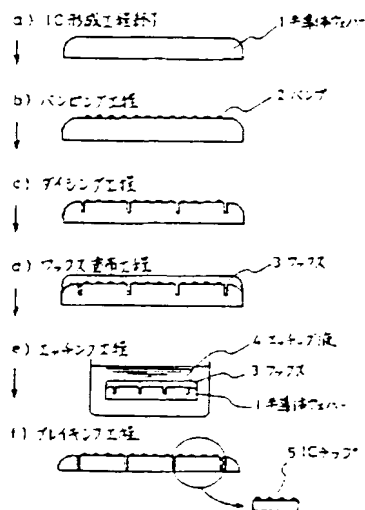
(54) PROCESSING OF SEMICONDUCTOR WAFER

(57) Abstract:

PURPOSE. To form an ultra-thin semiconductor wafer without its breakage during a bumping process or a dicing process in such a way that its reverse side is polished by etching after the bumping and dicing processes.

CONSTITUTION: After a process to form an integrated circuit has been completed, a bump 2 is formed by an electrolytic plating method during a bumping process. During a dicing process, grooves are formed in such a way that they reach a prescribed depth as viewed from the surface of a semiconductor wafer 1 along the integrated circuit. A wax material 3 is applied in order to protect the surface of the semiconductor wafer 1 from an etching solution 4. The semiconductor wafer 1 is immersed in the etching solution 4, and the reverse side of the semiconductor wafer 1 is etched until a prescribed thickness is obtained. The semiconductor wafer 1 is washed by water so as to wash the etching solution 4 away. The semiconductor wafer 1 is broken so that an integrated circuit chip 5 can be separated.

COPYRIGHT (C)1988 JPO&Japio



Japanese Laid-Open Patent Application No. 117445/1988
(Tokukashou 63-117445) (Published on May 21, 1988)

(A) Relevance to claim

The following is a translation of passages related to claim 1 of the present invention.

(B) Translation of the relevant passages

[EMBODIMENTS]

Referring to Figures, the following description will discuss embodiments of the present invention.

Referring to Fig. 1, an explanation will be given of the first embodiment of the present invention. Fig. 1, which shows processes for carrying out a machining method of a semiconductor wafer in accordance with the first embodiment of the present invention, includes schematic cross-sectional views of the semiconductor wafer in the respective processes.

Additionally, in the first embodiment and a second embodiment (which will be discussed later), processes taken until completion of the IC formation are the same as those conventionally used.

a) Completion of IC formation

b) Bumping process

Bumps are formed on an IC by electrolytic plating.

c) Dicing process

Grooves are formed from the surface of an IC wafer 1 up to a predetermined depth along IC chips.

d) Wax applying process

Wax 3 is applied so as to protect the surface of the IC wafer 1 from an etchant 4.

e) Etching process

The semiconductor wafer 1 is immersed into the etchant 4 so that the surface of the semiconductor wafer 1 is subjected to an etching process until it has reached a predetermined width.

Moreover, although not shown in Fig. 1, upon completion of the etching, the semiconductor wafer 1 is washed with water so as to remove the etchant 4 therefrom.

Furthermore, the semiconductor wafer 1 is washed with a solvent so as to remove the wax from the surface thereof.

f) Breaking process

The semiconductor wafer 1 is subjected to a breaking process so as to be separated into IC chips 5.

In the above-mentioned embodiment, in order to protect the surface of the semiconductor wafer 1, the wax 3 needs to be made of a material which is resistant to the etchant 4, gives no adverse effects to the element area of the semiconductor wafer 1, and is readily washed by a

specific solvent. With respect to such a wax material, fluororesins, etc. are preferably used.

Moreover, it is necessary for the etchant 4 to have a stable etching rate to the semiconductor wafer 1, and to be less susceptible to variations in the amount of etching inside the semiconductor wafer 1. With respect to such an etchant, for example, in the case when silicon is used as a material of the semiconductor wafer 1, hydrofluoric acid, nitric acid, a mixed acid of acetic acid, etc. are preferably used.

Next, referring to Fig. 2, the following description will discuss the second embodiment of the present invention. In the same manner as Fig. 1, Fig. 2 shows processes for carrying out a machining method of a semiconductor wafer in accordance with the embodiment of the present invention, and includes schematic cross-sectional views of the semiconductor wafer in the respective processes.

Processes from a) to b) are the same as those of the first embodiment; therefore, the description thereof is omitted.

c) Dicing process

A semiconductor wafer 1 is subjected to a dicing process up to a predetermined remaining thickness. In this case, the remaining thickness 6 from dicing is

smaller than the thickness etched.

d) Wax applying process

The semiconductor wafer 1 is fixed to a supporting substrate 7 with wax 3 which provides protection to the surface of the semiconductor wafer 1 and adhesion to the supporting substrate 7.

e) Etching process

The semiconductor wafer 1, together with the supporting substrate 7, is dipped in an etchant 4 to subject the surface to etching until the semiconductor wafer 1 has a predetermined thickness.

The remaining thickness 6 from dicing is smaller than the thickness etched; therefore, when the etching process is complete, the semiconductor wafer 1 is separated into IC chips 5, but remains fixed to the supporting substrate 7.

Then, although not shown in Figure 2, after the etching process is complete, the semiconductor wafer 1 together with the supporting substrate 7 is washed in water to get rid of the etchant 4.

f) Wax washing process

The semiconductor wafer 1 together with the supporting substrate is washed in a solvent. Upon etching down to a predetermined thickness, the semiconductor wafer 1 is already separated into the IC chips 5; the

individual IC chips 5 are obtained by washing the wax 3 forming the bonding layer, without the need for breaking.

In the second embodiment, the etching process to the rear face of the semiconductor wafer 1 and the separation process into the IC chips 5 can be carried out in one process, and another advantage is that a smooth cut face is obtained without cracks and protrusions due to cleavage of monocrystal on the side face of the IC chip 5.

⑪ 公開特許公報(A)

昭63-117445

⑫ Int. Cl.⁴

H 01 L 21/78
21/304
21/306

⑬ 識別記号

⑭ 庁内整理番号

D-7376-5F
B-7376-5F
C-8223-5F

⑮ 公開 昭和63年(1988)5月21日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体ウェハの加工方法

⑰ 特 願 昭61-263573

⑱ 出 願 昭61(1986)11月5日

⑲ 発 明 者 長 野

睦

東京都目黒市本町6丁目1番12号 シチズン時計株式会社
田無製造所内

⑲ 発 明 者 佐 藤

哲 夫

東京都目黒市本町6丁目1番12号 シチズン時計株式会社
田無製造所内

⑲ 出 願 人

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

明 細 書

1. 発明の名称

半導体ウェハの加工方法

2. 特許請求の範囲

ICの形成を終了した半導体ウェハの加工方法において、パンピング工程、ダイシング工程、半導体ウェハのICが形成された面に保護のためのワックスを塗布する工程、ワックスを塗布した半導体ウェハをエッチング液中に浸漬し半導体ウェハの裏面をエッチングする工程、エッチングが終了した半導体ウェハからエッチング液及びワックスを洗い流す洗浄工程、半導体ウェハをICチップに分離する工程を有することを特徴とする半導体ウェハの加工方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体ウェハの加工方法に関するものである。

〔従来の技術〕

半導体ウェハ一連の大型化に伴ない半導体ウェ

ハの厚さに割れや欠けを防止するために厚くなるが、半導体ウェハをICチップに分離後パッケージに組込む際は、パッケージの薄型化を図るためにICチップ厚に薄くすることが望ましい。

そこで半導体ウェハにICを形成した後に半導体ウェハ一面の研磨を行ない、ウェハの状態でICの薄型化加工を行なっている。

従来ICにパンプ(突起電極)を形成する場合には、概略第3図に示すような工程で半導体ウェハからICチップ分離までの加工を行なっていた。尚、IC形成までの工程の図示は省略する。

a) IC形成工程終了

b) グラインディング工程

半導体ウェハ1の裏面を機械研磨する。

c) パンピング工程

電解メッキによりICにパンプ2を形成する。

d) ダイシング工程

e) ブレイキング工程

半導体ウェハ1をICチップ5に分離する。

という工程であった。

〔発明が解決しようとする問題点〕

しかしながら従来の半導体ウェハの加工方法では、パンプ付ICを製作する場合、裏面をグラインディングした後にパンピング及びダイシングを行なっているため、半導体ウェハを薄く研削し通ざるとパンピング工程あるいはダイシング工程で半導体ウェハが割れてしまう。特に半導体ウェハが大口径であると割れやすくなる。またグラインディング工程とパンピング工程の順序を入れ替えて、パンピング工程の後にグラインディング工程を行なうと、グラインディングの衝撃でパンプを破損したり、パンプ高さのバラツキにより平行度が出ないという問題点が生じる。

以上のような理由から半導体ウェハの超薄型加工が不可能であるという問題点があった。

本発明の目的は、パンピング工程あるいはダイシング工程において半導体ウェハが割れることなく超薄型加工が可能な半導体ウェハの加工方法を提案するものである。

〔問題点を解決するための手段〕

c) ダイシング工程

半導体ウェハ1の表面からICに沿って所定の深さまで溝を入れる。

d) ワックス塗布工程

半導体ウェハ1の表面をエッチング液4から保護するためにワックス3を塗布する。

e) エッチング工程

半導体ウェハ1をエッチング液4に浸し、所定の厚さになるまで半導体ウェハ1の裏面をエッチングする。

また第1図中には図示していないが、エッチング終了後半導体ウェハ1を水で洗浄しエッチング液4を洗い流す。

更に半導体ウェハ1を溶剤で洗浄し、表面のワックス3を洗い流す。

f) ブレイキング工程

半導体ウェハ1をブレイキングして、ICチップ5に分離する。

上記実施例において半導体ウェハ1の表面保護のためのワックス3はエッチング液4に対して

上記目的を達成するため、本発明では、半導体ウェハを所定の深さまでダイシングし、半導体ウェハ表面に保護のためのワックスを塗布した後半導体ウェハ裏面を所定の厚さだけエッチングにより研削する。

さらに半導体ウェハをブレイキングしてICチップに分離する。

〔実施例〕

以下本発明の実施例を図面に基づいて詳述する。

本発明の第1実施例を第1図を参照しながら説明する。第1図は本発明の第1実施例による半導体ウェハの加工方法を示す工程図であり、各工程では半導体ウェハの断面図を模式的に示している。

なお、第1実施例および第2実施例（後述する）では、a) IC形成工程終了、までの工程は従来と同じである。

a) IC形成工程終了

b) パンピング工程

溶解メッキによりICにパンプ2を形成する。

耐性を有し、かつ半導体ウェハ1の素子領域に悪影響を及ぼさず、また特定の溶剤で容易に洗浄できる材料でなければならない。このようなワックス材としては、ふっ素系樹脂などが適当である。

またエッチング液4は半導体ウェハ1に対するエッチング速度が安定しており、かつ半導体ウェハ1内でのエッチング加工量のバラツキが小さいことが必要である。このようなエッチング液としては、例えば半導体ウェハ1の材質がシリコンである場合は、ふっ酸、硝酸、酢酸の混液等が適当である。

またエッチングの際は途中で半導体ウェハ1を揺動しエッチング液4を十分に攪拌するか、あるいはエッチング液4を半導体ウェハ1に垂直に吹きつけるような機構とし、半導体ウェハ1内で均一なエッチングが進むようにする必要がある。

次に、本発明の第2実施例を第2図を参照しながら説明する。第2図は第1図と同様に本発明による半導体ウェハの加工方法を示す工程図であ

り、各工程では半導体ウェハの断面図を模式的に示している。

a) ~ b) の工程は第1実施例と同様であるので説明を省略する。

c) ダイシング工程

半導体ウェハ1を所定の残厚までダイシングする。このときダイシング残厚6はエッチングする厚みより薄くしておく。

d) ワックス塗布工程

半導体ウェハ1をワックス3で石英等の支持基板7に固定する。ここでワックス3は半導体ウェハ1の表面保護及び支持基板7との緩衝層の働きをする。

e) エッチング工程

半導体ウェハ1を支持基板7ごとエッチング液4に浸し、半導体ウェハ1が所定の厚さになるまで裏面をエッチングする。

ダイシング残厚6はエッチングする厚さより薄いので、エッチングが終了したとき半導体ウェハ1はICチップ5に分離された状態

で支持基板7に固定されている。

更に第2図中には図示していないが、エッチング終了後半導体ウェハ1を支持基板7ごと水で洗浄しエッチング液4を洗い流す。

f) ワックス洗浄工程

半導体ウェハ1を支持基板7ごと溶剤で洗浄する。所定の厚さまでエッチングした時点で半導体ウェハ1はICチップ5に分離されているので、緩衝層となっているワックス3を洗い流せばブレイキングを行わずにICチップ5が単体で得られる。

上記第2実施例では、半導体ウェハ1の裏面のエッチングとICチップ5への分離が1工程で行なえ、またICチップ5側面には半導体の劈開による欠けや突起がなく平滑な切断面が得られる、という利点がある。

〔発明の効果〕

以上の説明で明らかなように、本発明によれば従来パンピング、ダイシング工程の前に行なっていた半導体ウェハの裏面研磨をこれらの工程の

後に行ない、かつ機械的なグラインディングではなくエッチングにより裏面研磨を行なうので半導体ウェハに機械的なダメージを与えず割れを防止できる。

従って従来不可能であったパンブ付の半導体ウェハの超薄型加工が可能となるという効果がある。

4. 図面の簡単な説明

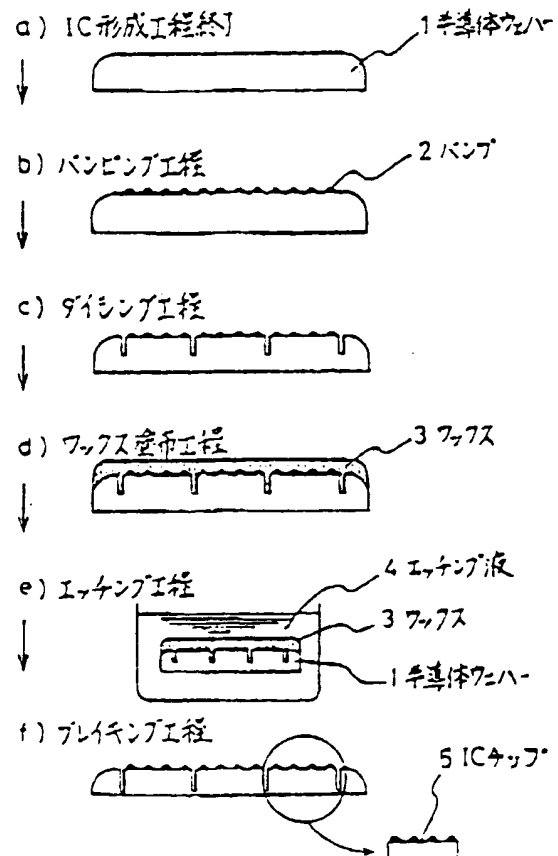
第1図は本発明の第1実施例を示す半導体ウェハの加工方法の工程図、第2図は本発明の第2実施例を示す工程図、第3図は従来例を示す工程図である。

- 1 …… 半導体ウェハ、 2 …… パンプ、
3 …… ワックス、 4 …… エッチング液、
5 …… ICチップ、 6 …… ダイシング残厚、
7 …… 支持基板。

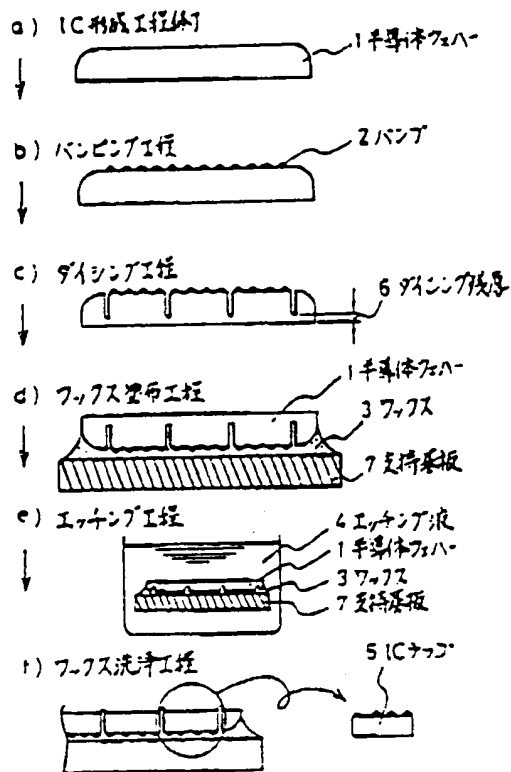
特許出願人 シチズン時計株式会社



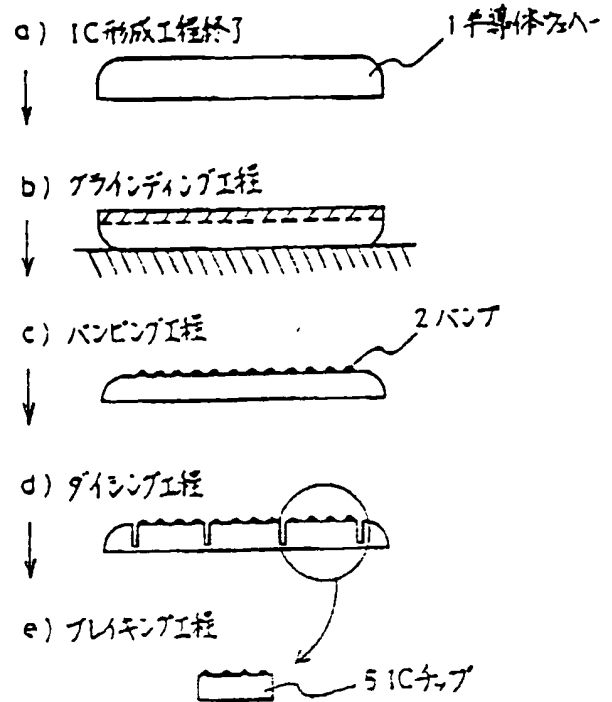
第1図



第 2 図



第 3 図





JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07161665

(43)Date of publication of application: 23.06.1995

(51)Int.Cl.

H01L 21/301

(21)Application number: 05279175

(71)Applicant:

SUMITOMO ELECTRIC IND LTD

(22)Date of filing: 09.11.1993

(72)Inventor:

GOTO NOBORU

(30)Priority

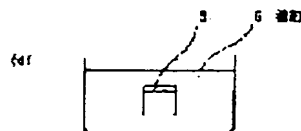
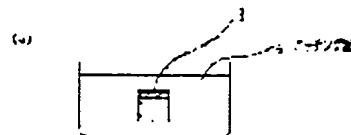
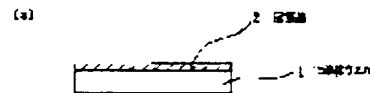
Priority number: 05256818 Priority date: 14.10.1993 Priority country: JP

(54) DICING OF SEMICONDUCTOR WAFER AND ITS DEVICE

(57)Abstract:

PURPOSE: To provide a dicing method for splitting a semiconductor wafer into a plurality of chips and the dicing device.

CONSTITUTION: A semiconductor wafer dicing technique, which cuts a semiconductor wafer 1 into each individual device, comprises a step of forming a protective film 2 on the wafer 1, a step of cutting the wafer 1 by a dicing blade, a step of etching chemically cut surfaces 3-1 of cut chips 3 and a step of removing the film 2.



Japanese Laid-Open Patent Application No. 161665/1995
(Tokukaihei 7-161665) (Published on June 23, 1995)

(A) Relevance to claim

The following is a translation of passages related to claim 1 of the present invention.

(B) Translation of the relevant passages

[EMBODIMENTS]

(Embodiment 1) Fig. 1 is an explanatory drawing that shows processes of the present invention; and Fig. 1(a) shows a process for forming a protective film, Fig. 1(b) shows a process for cutting a semiconductor wafer, Fig. 1(c) shows a process for etching the cut face of a chip, and Fig. 1(d) shows a process for removing the protective film. Fig. 2 is a schematic view that shows the structure of a dicing device, and Fig. 3 is a plan view that shows the surface of a semiconductor wafer that is to be cut.

[0010] (Process for forming a protective layer) Novolak resin is dropped onto the surface of the semiconductor wafer 1 so that this is rotated within the horizontal face so as to form a protective layer 2. The resin is used for protecting the semiconductor device circuit, and is transparent so as to allow confirmation of lines that indicate a dicing area.

[0011] (Process for cutting a semiconductor wafer) As illustrated in Fig. 2, a dicing blade 12 is provided as a cutting means for cutting the semiconductor wafer 1, and a wafer fixing table 13 is provided as a wafer fixing means for securing the semiconductor wafer 1. The dicing blade 12 is attached to the main shaft 16 of a main shaft head 15 that is supported by a supporting column 14. The supporting column 14 is vertically secured to a head 17 having a fixed structure, and the main shaft head 15 is allowed to move up and down in the vertical direction along the supporting column 14. Here, the main shaft 16 extends in the horizontal direction, and is rotated at a high speed.

[0012] Here, the wafer fixing table 13, which is attached to the upper surface of the head 17, is allowed to move straight along two axes that are orthogonal to each other in horizontal directions. Moreover, the upper surface of the wafer fixing table 13 forms a horizontal wafer securing face 18 so that the face 18 is allowed to rotate in forward and reverse directions centered on an axis line in the vertical direction. The semiconductor wafer 1 is secured onto the wafer securing face 18 by means of vacuum suction, preferably in a state where it is affixed to the dicing tape 19.

[0013] Moreover, the dicing device 10 of the present

embodiment is provided with a CCD camera 20 that is an image pick-up means for picking up an image of the surface of the semiconductor wafer 1, at a lower portion of the main shaft head 16. The CCD camera 20 is capable of picking up an image of an area adjacent to the dicing blade 12. Here, the CCD camera 20 is connected to a computer 22 serving as an image-processing means through an A/D converter 21. Analog information of an image, picked up by the CCD camera 20, is digitized by the A/D converter 21, and then inputted to the computer 22. The computer 22 carries out an image-processing operation on the inputted image information in accordance with a suitable algorithm so that the position of a cut line can be detected. The positional information of the cut line detected by the computer 22 is inputted to a controller (control means) 23 that controls the rotation of the dicing blade 12, the up and down movements of the main shaft head 15 and the movement in the horizontal direction of the wafer securing table 13; thus, the semiconductor wafer 1 is cut along the corresponding cut line. With this device, the semiconductor wafer 1, controlled by the controller 23, is automatically cut along the center line of a scribe line S, and divided into a plurality of chips 3.

[0014] (Process for chemically etching the cut face of a

chip) When a semiconductor wafer is cut by the dicing blade, fine irregularities occur on the cut face 3-1, and machining distortions also occur thereon. Upon dicer test, cracks occur from these irregularities, and these cracks are developed by the machining distortions. Therefore, the chip 3 after the dicing process is immersed in an etchant 4 so that the machining-affected layer is removed so as to form a smooth surface.

[0015] With respect to the etchant, a sulfuric-acid-based solution ($\text{H}_2\text{SO}_4 + \text{H}_2\text{O} + \text{H}_2\text{O}$) or an ammonia-based solution ($\text{NH}_4\text{OH} + \text{H}_2\text{O}_2 + \text{H}_2\text{O}$) is preferably used. Upon application of these solutions, the etching rate is virtually set to 1 $\mu\text{m}/\text{min}$, in which the affected layer can be removed in five minutes.

[0016] (Process for removing a protective film) The chip 3, cut as described above, is immersed in a solvent 5 such as acetone, and washed so that the protective film 2, which serves as resist, is removed.

[0017] In accordance with the above-mentioned processes, a wafer, made of GaAs, having a diameter of 3 inches is cut so as to form chips of 2 mm x 2 mm. These chips were secured onto a substrate with a bonding agent, and this was subjected to a shearing test. As a result, any of these chips were separated at a load of 8 kg, thereby indicating stable shearing strength. In contrast, the

same test was carried out on chips that had not been subjected to etching after the dicing process, and many of these had cracks at a shearing force of 4 to 5 kg.

(10)日本国特許 (F) (12) 公開特許公報 (A)

(11)特許公開番号
特開平7-161665

(43)公開日 平成7年(1995)6月22日

(51)Int. Cl.⁴ 分類記号 庁内管理番号 F 1 住積表示場所
H 01 L 21/301 H 01 L 21/78 S

審査請求 未請求 請求費の費 5 O L (各 5 M)

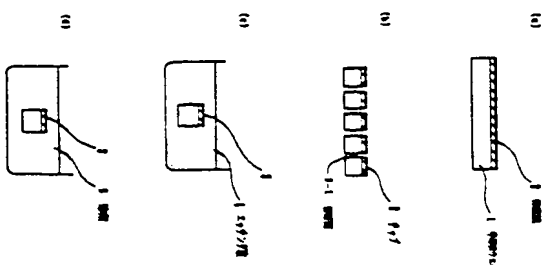
(71)出願人 000002130 住友電気工業株式会社
大阪府大阪市中央区北區四丁目6番3号
(72)発明者 佐藤 晃
神奈川県横浜市保土ヶ谷区田町1番地 住友電
機工業株式会社横浜製作所内
(73)優先権主張国 日本 (J P)
(74)代理人 弁護士 上代 哲司 (特2名)

(34) [発明の名称] 半導体ウエーハのダイシング方法及びその装置

(57) [要約]

【目的】 半導体ウエーハを複数のチップに分割するためのダイシング方法及びその装置に関する。

【構成】 半導体ウエーハ1を複数のダイハイス毎に切断する半導体ウエーハのダイシング装置に關し、前記半導体ウエーハ1の上に保護層2を形成する工程と、該半導体ウエーハ1をダイシングブレード12によって切断する工程と、切断されたチップ3の切断面3-1を化学エッチングする工程と、前記保護層2を剥離する工程とを含む発明である。



【特許請求の範囲】

【請求項1】 半導体ウエーハを複数のダイハイス毎に切断する半導体ウエーハのダイシング方法であって、前記半導体ウエーハの上に保護層を形成する工程と、該半導体ウエーハをダイシングブレードによって切断する工程と、切断されたチップの切断面を化学エッチングする工程と、前記保護層を剥離する工程とを含むことを特徴とする半導体ウエーハのダイシング方法。

【請求項2】 切断されたチップを保護層ウエーハに接着する工程と、前記保護層を剥離する工程とを含むことを特徴とする半導体ウエーハのダイシング方法。

【請求項3】 切断されたチップの切断面を5μm以上化学エッチングし、加工不良層を除去することを特徴とする請求項1又は2に記載の半導体ウエーハのダイシング方法。

【請求項4】 半導体ウエーハをウエーハ固定面に装着固定し、ダイシングブレードによって複数のダイハイス毎に切断する半導体ウエーハのダイシング方法であって、前記ウエーハ固定面に装着固定し、かつ、前記ウエーハ固定面に発生する熱を冷却し、該電圧が規定値を越えるときにダイシング装置を電源から切り離し、前記半導体ウエーハを高電圧から保護することを特徴とする半導体ウエーハのダイシング方法。

【請求項5】 半導体ウエーハをウエーハ固定面に装着固定し、ダイシングブレードによって複数のダイハイス毎に切断する半導体ウエーハのダイシング装置であって、前記ウエーハ固定面と大端とを電気的に接続する導電線と、前記ウエーハ固定面に発生する熱を冷却し、該電圧が規定値を越えるときに出力する電圧検知装置と、前記出力によって作動するダイシング装置のスイッチとを備え、前記半導体ウエーハを高電圧から保護することを特徴とする半導体ウエーハのダイシング装置。

【発明の詳細な説明】
【0001】
【発明上の利用分野】 本発明は、半導体ウエーハを複数のチップに分割するためのダイシング方法及びその装置に関する。
【0002】
【従来の技術】 半導体ウエーハ上には多数のダイハイス、例えば集積回路等の電子デバイス、レーザダイオードやフォトダイオード等の光デバイス、あるいは電子デバイスと光デバイスを複合化した光電子集積回路等が形成され、この半導体デバイスを複数のダイハイス毎に分割するには、ダイシング装置が用いられる。一般的なダイシング装置は、例えば特開平5-89763に示すように、水平方向に移動可能なウエーハ固定テーブルと、このウエーハ固定テーブルに固定された半導体ウエーハに対して鉛直方向に進退される高速度回転可能なダイシングブレードとを備えており、コントローラによる制御下、デバイス

毎に形成されるスクライナインの中心線上をダイシングブレードにより切断することにより半導体ウエーハを分割するように構成されている。

【0003】

【発明が解決しようとする課題】 このような装置によって、分割されたチップは、規定されている新断面に対して、十分満足する値が得られず、ダイシング試験で不良となる場合があった。また、半導体ウエーハに高い電圧が印加し、切断されたチップが熱電導線を短く導くがあった。そこで本発明は、かかる問題を解決した半導体ウエーハのダイシング方法を提案することを目的とする。

【0004】

【課題を解決するための手段】 本発明にかかる半導体ウエーハのダイシング方法は、半導体ウエーハを複数のダイハイス毎に切断する半導体ウエーハのダイシング方法であって、前記半導体ウエーハの上に保護層を形成する工程と、該半導体ウエーハをダイシングブレードによって切断する工程と、切断されたチップの切断面を化学エッチングする工程と、前記保護層を剥離する工程とを含むことを特徴とする。

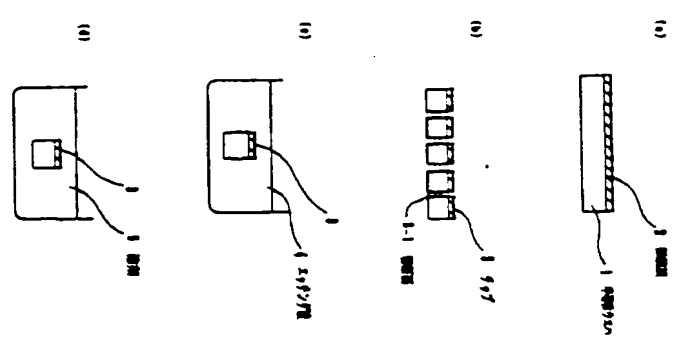
【0005】 上記の方法において、切断されたチップを保護層ウエーハに接着する工程と、前記保護層を剥離する工程とを含むことを特徴とする。

【0006】 本発明にかかる第2のダイシング方法は、半導体ウエーハをウエーハ固定面に装着固定し、ダイシングブレードによって複数のダイハイス毎に切断する半導体ウエーハのダイシング方法であって、前記ウエーハ固定面を直接冷却し、かつ、前記ウエーハ固定面に発生する熱を冷却し、該電圧が規定値を越えるときにダイシング装置を電源から切り離し、前記半導体ウエーハを高電圧から保護することを特徴とする。

【0007】 また、本発明にかかる半導体ウエーハのダイシング装置は、半導体ウエーハをウエーハ固定面に装着固定し、ダイシングブレードによって複数のダイハイス毎に切断する半導体ウエーハのダイシング装置であって、前記ウエーハ固定面と大端とを電気的に接続する導電線と、前記ウエーハ固定面に発生する熱を冷却し、該電圧が規定値を越えるときに出力する電圧検知装置と、前記出力によって作動するダイシング装置のスイッチとを備え、前記半導体ウエーハを高電圧から保護することを特徴とする。

【0008】
【作用】 半導体ウエーハをダイシングブレードによって切断すると、切断面には細かい凹凸が生じ、さらに加工不良を生起している。ダイシング試験に關し、この凹凸が原因となつて割れが生じ、さらに加工不良によって使用される。これに對して、本発明にかかる半導体ウエーハ

【図1】



【図4】

